

# Patent Abstracts of Japan

PUBLICATION NUMBER : 10290519  
PUBLICATION DATE : 27-10-98

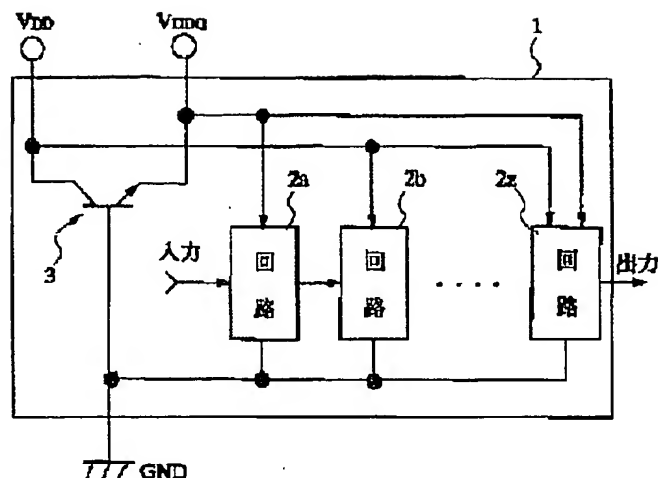
APPLICATION DATE : 15-04-97  
APPLICATION NUMBER : 09097051

APPLICANT : HITACHI LTD;

INVENTOR : NAGAI KIYOSHI;

INT.CL. : H02H 3/20 G11C 11/413 H01L 27/04  
H01L 21/822 H01L 27/06 H01L 27/10  
H02H 3/14

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To prevent a flow of an eddy current between different electric potential power supplies in a state where an overvoltage protection element comprising a bipolar transistors provided at the semiconductor substrate is electrically connected between power supplies with different potentials when the power supply of the reference potential commonly supplied to base electrode is electrically connected.

SOLUTION: A power supply GND of a common grounding potential is supplied to a circuit blocks 2a to 2z formed in a semiconductor chip 1. Moreover, in a semiconductor chip 1, for example, the voltage of two kinds of different potentials of power supplies VDD, VDDQ can be supplied. An over voltage protection element 3 comprises a bipolar transistor and is electrically connected between power supply VDD and power supply VDDQ. That is, the base electrode of the over voltage protection element 3 is electrically connected to a common grounding potential electric supply (reference potential) GND, its collector electrode is electrically connected to one of electric supplies V DD and its emitter electrode is electrically connected to other electric supply VDDQ.

COPYRIGHT: (C)1998,JPO

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 2 H 3/20

H 0 2 H 3/20

A

G 1 1 C 11/413

H 0 1 L 27/10

4 8 1

H 0 1 L 27/04

H 0 2 H 3/14

21/822

G 1 1 C 11/34

3 3 5 Z

27/06

H 0 1 L 27/04

H

審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願平9-97051

(22) 出願日

平成9年(1997)4月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 真下 正博

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 平石 厚

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 永井 浩

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

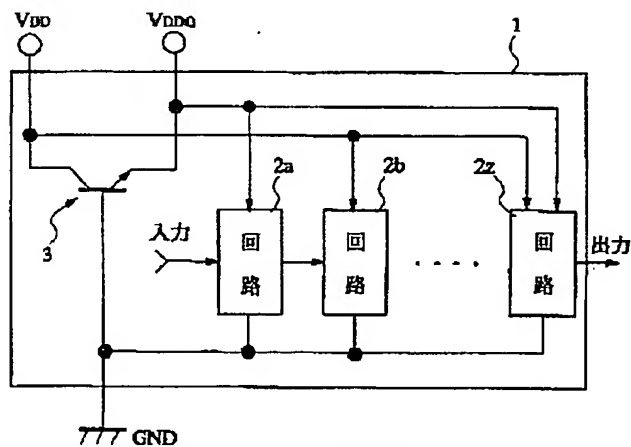
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 2種以上の異なる電位の電源を駆動電源として用いる半導体集積回路装置において、電源投入の順序に起因して過電流が過電圧保護素子を通じて異電位電源間に流れてしまうのを防止する。

【解決手段】 異なる電位の電源VDD、VDDQ間に、ベース電極に集積回路素子に共通に供給される接地電位の電源GNDが電気的に接続されたバイポーラトランジスタからなる過電圧保護素子3を電気的に接続した。

図 1



1: 半導体チップ  
2a~2z: 回路ブロック  
3: 過電圧保護素子  
VDD: 電源  
VDDQ: 電源  
GND: 接地電位の電源

## 【特許請求の範囲】

【請求項1】 半導体基板に形成された複数の集積回路素子の駆動電源として2種以上の異なる電位の電源を有する半導体集積回路装置であって、前記半導体基板にバイポーラトランジスタからなる過電圧保護素子を設け、前記過電圧保護素子を、そのベース電極に前記複数の集積回路素子に共通に供給される基準電位の電源を電氣的に接続した状態で、前記2種以上の異なる電位の電源間に電氣的に接続したことを特徴とする半導体集積回路装置。

【請求項2】 半導体基板に形成された所定の集積回路の駆動電源として2種以上の異なる電位の電源を備え、前記所定の集積回路を構成する複数の回路ブロックのうちの1つの回路ブロックには前記2種以上の異なる電位の電源の両方が供給され、他の回路ブロックには前記2種以上の異なる電位の電源の所定の1つの電源が供給される半導体集積回路装置であって、前記半導体基板にバイポーラトランジスタからなる過電圧保護素子を設け、前記過電圧保護素子を、そのベース電極に前記複数の回路ブロックに共通に供給される基準電位の電源を電氣的に接続した状態で、前記2種以上の異なる電位の電源間に電氣的に接続したことを特徴とする半導体集積回路装置。

【請求項3】 半導体基板に形成された所定の集積回路の駆動電源として2種以上の異なる電位の電源を備え、前記所定の集積回路を構成する複数の回路ブロックのうちの1つの回路ブロックには前記2種以上の異なる電位の電源の両方が供給される半導体集積回路装置であって、前記半導体基板にバイポーラトランジスタからなる過電圧保護素子を設け、前記過電圧保護素子を、そのベース電極に前記複数の回路ブロックに共通に供給される基準電位の電源を電氣的に接続した状態で、前記2種以上の異なる電位の電源間に電氣的に接続したことを特徴とする半導体集積回路装置。

【請求項4】 半導体基板上に形成された半導体メモリ回路の駆動電源として2種の異なる電位の電源を備え、前記半導体メモリ回路を構成する複数の回路ブロックのうちのメモリセル回路ブロックおよび第1の周辺回路ブロックには前記2種の異なる電位の電源の一方の電源が供給され、第2の周辺回路ブロックには前記2種の異なる電位の電源の他方の電源が供給され、第3の周辺回路ブロックには前記2種の異なる電位の電源の両方が供給される半導体集積回路装置であって、前記半導体基板にバイポーラトランジスタからなる過電圧保護素子を設け、前記過電圧保護素子を、そのベース電極に前記複数の回路ブロックに共通に供給される基準電位の電源を電氣的に接続した状態で、前記2種の異なる電位の電源間に電氣的に接続したことを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置技術に関し、特に、2種以上の異なる電位の電源を駆動電源として用いる集積回路を同一の半導体チップ内に設けてなる半導体集積回路装置の過電圧保護構造に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】2種以上の異なる電位の電源間に用いる過電圧保護素子としては、例えばMOS・FET構造のダイオード、pn接合のダイオード若しくは両者を組み合わせた構造を用いている。

【0003】そして、通常の構成においては、高電位側の電源をMOS・FET構造のダイオードのカソード側に電氣的に接続し、低電位側の電源をMOS・FET構造のダイオードのアノード側に接続するようにしている。

【0004】また、複数の異なる電位の電源を用いる半導体集積回路装置としては、例えば特開平7-58289号公報および特開平6-177330号公報がある。

【0005】この特開平7-58289号公報には、アナログ回路の電源が、ESD (Electric Static Discharge) 保護回路のダイオード容量を介してデジタル回路系の干渉を受け難い構造とすべく、デジタル回路とアナログ回路とを混在する半導体装置において、デジタル回路およびアナログ回路とは電氣的に分離された基準電位を与える第3の回路電源に電氣的に接続された基板接地用ウエルを半導体基板に設け、デジタル系の電源と基板接地用ウエルとの間に逆バイアスされるように接続された第1の保護ダイオードを設け、アナログ系の電源と基板接地用ウエルとの間に逆バイアスされるように接続された第2の保護ダイオードを設ける構造が開示されている。

【0006】また、特開平6-177330号公報には、接地電源とは別に基板電源を有する集積回路においても静電気破壊強度を向上させるべく、接地電源と基板電源との間、並びに、高電位側の電源および入力端子と接地電源または基板電源との間に、静電気保護素子を電氣的に接続する構造が開示されている。

【0007】なお、特開平5-2882号公報には、外部から印加する電圧を下げないで、素子集積度の向上要求に伴い微細化された素子をそのまま用いることが可能なようにすべく、半導体基板上に内部降圧手段を設け、それによって得られた低電圧電源を所定の回路に供給する構造が開示されている。

【0008】また、特開昭55-6891号公報および特開昭55-34455号公報には、高耐圧バイポーラトランジスタと小信号用トランジスタを同一半導体基板上に設ける技術について開示されている。

【0009】また、特開昭55-56644号公報には、I<sup>2</sup>L (Integrated Injection Logic) 回路と通常の

リニアトランジスタ回路とを同一基板上に設ける技術について開示されている。

【0010】また、特開昭62-11261号公報には、ウエルの不純物濃度を上げるとメモリにおいては動作速度が遅くなり、ウエルの不純物濃度を下げると周辺回路ではラッチアップが生じてしまう不具合を無くすべく、メモリが形成されるウエルの不純物濃度を、周辺回路が形成されるウエルの不純物濃度よりも低くする構造が開示されている。

【0011】また、特開平5-67752号公報には、ウエルの深さを深くするとメモリでは $\alpha$ 線によるソフトエラー耐性が低下し、ウエルの深さを浅くすると周辺回路ではトランジスタの動作を遅くなる不具合を無くすべく、メモリが形成されるウエルの深さを周辺回路が形成されるウエルの深さよりも浅くした構造が開示されている。

【0012】

【発明が解決しようとする課題】ところが、2種以上の異なる電位の電源間にMOS・FET構造のダイオード等からなる過電圧保護素子を設ける上記技術においては、以下の問題があることを本発明者は見出した。

【0013】すなわち、上記した過電圧保護素子のアノード側の電源が先に投入された場合、過電流が過電圧保護素子を通じて投入されてない電源側に流れ込む問題がある。そして、この過電流に起因してラッチアップが生じる問題がある。

【0014】本発明の目的は、2種以上の異なる電位の電源を駆動電源として有する半導体集積回路装置において、電源投入の順序に起因して過電流が過電圧保護素子を通じて異電位電源間に流れてしまうのを防止することのできる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】本発明の半導体集積回路装置は、半導体基板に形成された複数の集積回路素子の駆動電源として2種以上の異なる電位の電源を有する半導体集積回路装置であって、前記半導体基板にバイポーラトランジスタからなる過電圧保護素子を設け、前記過電圧保護素子を、そのベース電極に前記複数の集積回路素子に共通に供給される基準電位の電源を電気的に接続した状態で、前記2種以上の異なる電位の電源間に電気的に接続したものである。

【0018】これにより、例えば過電圧保護素子のエミッタ電極側の電源電位が接地電位の電源と同等の0Vであってコレクタ電極側に電源が投入されたとしても、コ

レクターベース間が逆バイアスであるため、異なる電位の電源間に電流の流れ込みが発生しない。また、そのエミッタ電極とコレクタ電極との電位関係が逆の場合でも、エミッタコレクタ間が逆バイアスとなり異なる電位の電源間に電流の流れ込みが発生しない。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0020】（実施の形態1）図1は本発明の半導体集積回路装置の概略構成を説明するための説明図、図2および図3は図1の半導体集積回路装置の一実施の形態を説明するための半導体チップの平面図、図4は図2および図3の半導体集積回路装置におけるメモリセルの回路図、図5は図2および図3の半導体集積回路装置の要部断面図である。

【0021】まず、本実施の形態1の半導体集積回路装置を具体的に説明する前に、本発明の概略的な構成を図1によって説明する。

【0022】図1は半導体チップ1内に形成された回路ブロック2a～2zと、過電圧保護素子3と、電源VDD、VDDQ、GNDとの電気的な接続状態を示している。

【0023】半導体チップ1内には、例えば2種の異なる電位の電源VDD、VDDQの電圧が供給されるようになっている。ただし、回路ブロック2a～2zの中には、電源VDD、VDDQの両方の電圧が供給される回路ブロック2zもあるが、電源VDDQの電圧のみが供給される回路ブロック2aや電源VDDの電圧のみが供給される回路ブロック2bもある。また、各回路ブロック2a～2zには、共通の接地電位の電源GNDが供給されるようになっている。

【0024】上記した過電圧保護素子3は、バイポーラトランジスタによって構成されており、電源VDD、VDDQ間に電気的に接続されている。すなわち、過電圧保護素子3のベース電極は共通の接地電位の電源（基準電位）GNDに電気的に接続され、そのコレクタ電極は一方の電源VDDに電気的に接続され、そのエミッタ電極は他方の電源VDDQに電気的に接続されている。

【0025】このように本実施の形態1においては、バイポーラトランジスタからなる過電圧保護素子3を設けたことにより、次のような効果が得られる構造となっている。

【0026】まず、過電圧に対する保護機能を向上させることが可能となる。これは、過電圧保護素子3を駆動能力の高いバイポーラトランジスタで構成したことにより過電流を素早く逃がすことが可能となるからである。また、過電圧保護素子3のベース電極に、半導体集積回路装置の接地電位と共通の電源GNDを電気的に接続したことにより、容量を増大させることができるので、保護

性能を向上させることが可能となるからである。

【0027】また、例えば過電圧保護素子3のエミッタ電極側の電源電位が接地電位の電源GNDと同等の0Vであってコレクタ電極側に電源VDDが投入されたとしても、コレクターベース間が逆バイアスであるため、異電位の電源VDD、VDDQ間に電流の流れ込みが発生しない。また、エミッタ電極とコレクタ電極との電位関係が逆の場合でも、エミッターコレクタ間が逆バイアスとなり異電位電源間に電流の流れ込みが発生しない。したがって、電源VDD、VDDQ間に流れる過電流に起因する不具合を防止することができるので、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となっている。

【0028】次に、本実施の形態1においては、本発明を、例えばSRAM (Static Random Access Memory) に適用した場合を図2～図5によって説明する。

【0029】まず、半導体チップ1内の平面的なレイアウトを図2および図3によって説明する。なお、図2と図3とは同じ半導体チップ1を図面を見易くするために電源(VDD、VDDQ)系毎に分けて示した図である。

【0030】半導体チップ1には、例えば4個のメモリ回路領域4と、例えば5個の周辺回路領域5a～5eと、例えば4個の上記過電圧保護素子3が配置されている。

【0031】この4個のメモリ回路領域4は、半導体チップ1の中央領域に配置されている。各メモリ回路領域4には、1ビットのデータを記憶するメモリセルが複数個規則的に並んで配置されている。なお、メモリセルについては後述する。

【0032】また、4個の周辺回路領域5a～5dは、4個のメモリ回路領域4を取り囲むようにその外周側に配置され、1個の周辺回路領域5eは半導体チップ1の中央に図2および図3の上下のメモリ回路領域に挟まれるように配置されている。

【0033】各周辺回路領域5a～5dには、例えば入力バッファ回路、レジスタ回路、デコーダ回路、出力バッファ回路、センスアンプ回路等のような種々の周辺回路ブロックが配置されている。

【0034】さらに、過電圧保護素子3は、半導体チップ1の四隅近傍に設けられている。これは、半導体集積回路装置を構成する集積回路素子があり配置されない半導体チップ1の四隅近傍に過電圧保護素子3を配置することにより、集積回路素子の集積度の低下を招くことなく、過電圧保護素子3を配置することを可能とするためである。

【0035】また、半導体チップ1には、例えば2種の異なる電位の電源VDD、VDDQを半導体集積回路装置に供給するための電源用配線6VDD、6VDDQと、その各電源用配線6VDD、6VDDQに各々電源VDD、VDDQの電圧を外部から供給するための電源用のボンディングパ

ッド7a、7bとが配置されている。なお、ボンディングパッドは、通常、信号用と電源用とがあるが、図2および図3には図面を見易くするため、電源用のボンディングパッド7a、7bのみが示されている。

【0036】電源VDDは、図2に示すように、電源用配線6VDDを通じて、例えばメモリ回路領域4および周辺回路領域5a、5c、5eの回路ブロック(第1の周辺回路ブロック)に供給されるようになっている。なお、この電源VDDの電圧は、例えば3.3V程度である。

【0037】また、電源VDDQは、図3に示すように、電源用配線6VDDQを通じて、例えば周辺回路領域5b、5dの回路ブロック(第2の周辺回路ブロック)に供給されるようになっている。なお、電源VDDQの電圧は、例えば2.5V程度である。

【0038】ただし、周辺回路領域5b、5dにおける入力初段の回路や出力バッファ回路等のような回路ブロック(第3の周辺回路ブロック)には、電源用配線6VDD、6VDDQを通じて電源VDD、VDDQの両方の電源電圧が供給されるようになっている。

【0039】なお、半導体集積回路装置に共通の接地電位の電源は、メモリ回路領域4および周辺回路領域5a～5eの回路ブロックに供給されるようになっている。電源GNDの電圧は、例えば0V程度である。

【0040】上記した過電圧保護素子3は、そのコレクタ電極が電源用配線6VDDを通じてVDDと電気的に接続され、そのエミッタ電極が電源用配線6VDDQを通じて電源VDDQと電気的に接続され、さらに、そのベース電極が接地用配線を通じて接地電位の電源と電気的に接続されている。

【0041】次に、上記したメモリセルを図4によって説明する。1個のメモリセル4MCは、例えば6個のMOS・FET4Q1～4Q6で構成されており、ワード線WLとビット線BLとの交点近傍に配置されている。

【0042】このメモリセル4MCにおけるMOS・FET4Q1、4Q3は、pチャネル形のMOS・FETからなり、それ以外のMOS・FET4Q2、4Q4、4Q5、4Q6は、nチャネル形のMOS・FETからなる。

【0043】このうち、MOS・FET4Q1、4Q2およびMOS・FET4Q3、4Q4は、データの記憶に寄与する構成部であり、それぞれCMOS (Complimentary MOS) を構成している。

【0044】このMOS・FET4Q1、4Q2のゲート電極は互いに電気的に接続され、MOS・FET4Q6を介してビット線BL1と電気的に接続されている。このMOS・FET4Q6は、メモリセル4MCとビット線BL1とを電気的に接続したり、切り離したりするためのスイッチング素子であり、そのゲート電極にはMOS・FET4Q6のオン・オフ制御を行うための信号を伝送するワード線WLが電気的に接続されている。

【0045】また、MOS・FET4Q3、4Q4のゲート

電極は互いに電氣的に接続され、MOS・FET4Q5を介してビット線BL2と電氣的に接続されている。このMOS・FET4Q5は、メモリセル4MCとビット線BL2とを電氣的に接続したり、切り離したりするためのスイッチング素子であり、そのゲート電極にはMOS・FET4Q5のオン・オフ制御を行うための信号を伝送するワード線WLが電氣的に接続されている。

【0046】次に、本実施の形態1の半導体集積回路装置の断面構造を図5によって説明する。

【0047】半導体チップ1を構成する半導体基板1sは、例えばp形のシリコン(Si)単結晶からなり、その上層部には、例えば二酸化シリコン( $\text{SiO}_2$ )等からなるフィールド絶縁膜8a~8jが形成されている。

【0048】半導体基板1s上において、フィールド絶縁膜8a、8eに囲まれた素子形成領域には、例えば上記したメモリセル4MC(図4参照)や周辺回路領域5a、5c、5eにおけるインバータ回路等のような回路ブロックを形成するためのpチャネル形のMOS・FET9pとnチャネル形のMOS・FET9nとが形成されている。

【0049】pチャネル形のMOS・FET9pは、半導体基板1sの上層部のnウエル10n1上に形成されている。このnウエル10n1は、例えばn形不純物のリンまたはヒ素(As)が含有されてなり、その上部に形成された引き出し領域11n1を通じて接地用の電源GNDと電氣的に接続されている。なお、引き出し領域11n1にも、n形不純物のリンまたはAsが含有されている。

【0050】このMOS・FET9pは、nウエル10n1の上部に互いに離間して形成された一対の半導体領域9pd、9pdと、半導体基板1s上に形成されたゲート絶縁膜9piと、その上に形成されたゲート電極9pgとを有している。なお、一対の半導体領域9pd、9pdの間にMOS・FET9pのチャネル領域が形成される。

【0051】この半導体領域9pdは、MOS・FET9pのソース・ドレイン領域を形成するための領域であり、例えばp形不純物のホウ素が含有され形成されている。

【0052】ゲート絶縁膜9piは、例えば $\text{SiO}_2$ からなる。ゲート電極9pgは、例えば低抵抗ポリシリコン上にタングステンシリサイド等からなるシリサイド膜が堆積されてなる。なお、ゲート電極9pgは、例えば低抵抗ポリシリコン膜の単層膜で構成しても良い。

【0053】一方、nチャネル形のMOS・FET9nは、半導体基板1sの上層部のpウエル10p1上に形成されている。このpウエル10p1は、例えばp形不純物のホウ素が含有されてなり、その上部に形成された引き出し領域11p1を通じて接地用の電源GNDと電氣的に接続されている。なお、引き出し領域11p1に

も、p形不純物のホウ素が含有されている。

【0054】このMOS・FET9nは、pウエル10p1の上部に互いに離間して形成された一対の半導体領域9nd、9ndと、半導体基板1s上に形成されたゲート絶縁膜9niと、その上に形成されたゲート電極9ngとを有している。なお、一対の半導体領域9nd、9ndの間にMOS・FET9nのチャネル領域が形成される。

【0055】この半導体領域9ndは、MOS・FET9nのソース・ドレイン領域を形成するための領域であり、例えばp形不純物のホウ素が含有され形成されている。

【0056】ゲート絶縁膜9niは、例えば $\text{SiO}_2$ からなる。ゲート電極9ngは、例えば低抵抗ポリシリコン上にタングステンシリサイド等からなるシリサイド膜が堆積されてなる。なお、ゲート電極9ngは、例えば低抵抗ポリシリコン膜の単層膜で構成しても良い。

【0057】また、半導体基板1s上において、フィールド絶縁膜8e、8gに囲まれた素子形成領域には、例えば上記した周辺回路領域5b、5dにおける回路ブロックを形成するためのpチャネル形のMOS・FET12pが形成されている。

【0058】pチャネル形のMOS・FET12pは、半導体基板1sの上層部のnウエル10n2上に形成されている。このnウエル10n2は、例えばn形不純物のリンまたはAsが含有されてなり、その上部に形成された引き出し領域11n2を通じて接地用の電源GNDと電氣的に接続されている。なお、引き出し領域11n2にも、n形不純物のリンまたはAsが含有されている。

【0059】このMOS・FET12pは、nウエル10n2の上部に互いに離間して形成された一対の半導体領域12pd、12pdと、半導体基板1s上に形成されたゲート絶縁膜12piと、その上に形成されたゲート電極12pgとを有している。なお、一対の半導体領域12pd、12pdの間にMOS・FET12pのチャネル領域が形成される。

【0060】この半導体領域12pdは、MOS・FET12pのソース・ドレイン領域を形成するための領域であり、例えばp形不純物のホウ素が含有され形成されている。

【0061】ゲート絶縁膜12piは、例えば $\text{SiO}_2$ からなる。ゲート電極12pgは、例えば低抵抗ポリシリコン上にタングステンシリサイド等からなるシリサイド膜が堆積されてなる。なお、ゲート電極12pgは、例えば低抵抗ポリシリコン膜の単層膜で構成しても良い。

【0062】さらに、半導体基板1s上において、フィールド絶縁膜8g、8jに囲まれた素子形成領域には、例えば上記した過電圧保護素子3が形成されている。

【0063】過電圧保護素子3は、バイポーラトランジ



スタからなり、半導体基板1sの上層部のpウエル10p2上に形成されている。このpウエル10p2は、例えばp形不純物のホウ素が含有されてなる。

【0064】pウエル10p2において、フィールド絶縁膜8h、8iに囲まれた領域には、コレクタ領域3cが形成されている。このコレクタ領域3cは、例えばn形不純物のリンまたはAsが含有されてなる。このコレクタ領域3cには、電源VDDが電氣的に接続されている。

【0065】また、pウエル10p2において、フィールド絶縁膜8i、8jに囲まれた領域には、エミッタ領域3eが形成されている。このエミッタ領域3eは、例えばn形不純物のリンまたはAsが含有されてなる。このエミッタ領域3eには、電源VDDQが電氣的に接続されている。なお、コレクタ領域3cとエミッタ領域3eとの間のpウエル10p2の領域にベース領域3bが形成されている。

【0066】pウエル10p2において、フィールド絶縁膜8g、8hに囲まれた領域には、ベース領域3bに電位を供給するためのベース引き出し領域11p2が形成されている。ベース引き出し領域11p2は、例えばp形不純物のホウ素が含有されてなる。

【0067】このベース引き出し領域11p2には、接地用の電源GNDが電氣的に接続されている。すなわち、過電圧保護素子3のベース領域3bには、半導体集積回路装置における共通の接地用の電源GNDが供給されるようになっている。これにより、容量を増やすことができるので、過電圧に対する保護性能を向上させることが可能となっている。

【0068】このような本実施の形態1によれば、以下の効果を得ることが可能となる。

【0069】(1).バイポーラトランジスタからなる過電圧保護素子3を用いることにより、例えばエミッタ領域3e側の電源電位が接地電位の電源GNDと同等の0Vであってコレクタ領域3c側に電源VDDが投入されたとしても、コレクタベース間が逆バイアスであるため、異電位の電源VDD、VDDQ間に電流の流れ込みが発生しない。また、エミッタ領域3eとコレクタ領域3cとの電位関係が逆の場合でも、エミッターコレクタ間が逆バイアスとなり異電位電源間に電流の流れ込みが発生しない。これにより、その電流の流れ込みに起因するラッチアップ等の問題を防止することが可能となる。

【0070】(2).バイポーラトランジスタからなる過電圧保護素子3を用いることにより、過電流を素早く逃がすことができるので、保護性能を向上させることが可能となる。

【0071】(3).過電圧保護素子3のベース電極に半導体集積回路装置の共通の接地電位の電源GNDを供給することにより、容量を増大させることが可能となるので、保護性能を向上させることが可能となる。

【0072】(4).上記した(1)～(3)により、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0073】(5).過電圧保護素子3のベース電極に対して、特別な接地電源を設けず、半導体集積回路装置における共通の接地電位の電源GNDを供給する構造としたことにより、半導体集積回路装置の設計および製造を容易にすることが可能となる。

【0074】(実施の形態2)図6は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【0075】本実施の形態2においては、図6に示すように、半導体基板1sの上層部にnウエル13nが形成されており、そのnウエル13n上に前記実施の形態1で説明したpウエル10p1、10p2およびnウエル10n1、10n2が形成されている。それ以外は、前記実施の形態1と同じ構造となっている。

【0076】nウエル13nには、例えばn形不純物のリンまたはAsが含有されており、半導体集積回路装置における共通の接地電位の電源GNDが電氣的に接続されている。

【0077】このような本実施の形態2においても前記実施の形態1と同じ効果を得ることが可能となる。

【0078】(実施の形態3)図7は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【0079】本実施の形態3においては、図7に示すように、半導体基板1sにnウエル13n1、13n2が設けられており、そのnウエル13n1には、前記実施の形態1で説明したnウエル10n1、10n2およびpウエル10p1が設けられ、nウエル13n2には、前記実施の形態1で説明した過電圧保護素子3が設けられている。

【0080】nウエル13n1、13n2には、例えばn形不純物のリンまたはAsが含有されている。ただし、nウエル13n1、13n2は、互いに電氣的に分離されており、一方のnウエル13n1には、半導体集積回路装置の共通の接地電位の電源GNDが電氣的に接続されているが、他方のnウエル13n2には、電源GNDは電氣的に接続されていない。

【0081】過電圧保護素子3は、バイポーラトランジスタからなり、上記したnウエル13n2と、そのnウエル13n2内に形成されたpウエル10p3およびnウエル10n3と、そのpウエル10p3内に形成されたベース引き出し領域11p3およびエミッタ領域3eと、nウエル領域10n3内に形成されたコレクタ引き出し領域11n3とを有している。

【0082】この場合、nウエル13n2が、過電圧保護素子3のコレクタ領域3cを形成している。このコレクタ領域3cは、nウエル10n3を通じてコレクタ引き出し領域11n3に電氣的に接続され、さらに電源VDDと電氣的に接続されている。なお、nウエル10n3

およびコレクタ引き出し領域11n3には、例えばn形不純物のリンまたはAsが含有されている。

【0083】また、nウエル13n2(すなわち、コレクタ領域3c)とエミッタ領域3eとの間のpウエル10p3が、過電圧保護素子3のベース領域3bを形成している。このベース領域3bは、pウエル10p3およびベース引き出し領域11p3を通じて接地電位の電源GNDと電気的に接続されている。なお、pウエル10p3およびベース引き出し領域11p3には、例えばp形不純物のホウ素が含有されている。

【0084】過電圧保護素子3のエミッタ領域3eは、前記実施の形態1と同様に、例えばn形不純物のリンまたはAsが含有されてなり、電源VDDQと電気的に接続されている。

【0085】このような本実施の形態3においても前記実施の形態1と同様の効果を得ることが可能となる。

【0086】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態1〜3に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0087】例えば前記実施の形態1〜3においては、半導体基板を単体のSiで構成される場合について説明したが、これに限定されるものではなく、例えば絶縁層上に素子形成用の薄い半導体層を設けてなる、いわゆるSOI(Silicon On Insulator)基板を用いることも可能である。

【0088】また、前記実施の形態1〜3においては、SRAMのメモリセルとしてCMOS形のメモリセルを用いた場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば負荷素子として高抵抗の受動素子を用いるメモリセル、エンハンスドメント形トランジスタを用いるメモリセルあるいはデプレッション形トランジスタを用いるメモリセルを用いても良い。

【0089】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSRAMに適用した場合について説明したが、それに限定されるものではなく種々適用可能であり、例えば多電源を使用するDRAM(Dynamic Random Access Memory)等のような多電源を使用する他の半導体集積回路装置等にも適用できる。

【0090】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0091】(1).本発明の半導体集積回路装置によれば、2種以上の異なる電位の電源間に、ベース電極に基準電位の電源が電気的に接続されたバイポーラトランジスタからなる過電圧保護素子を電気的に接続したことに

より、電源の投入順序に起因して異電位電源間に過電流が流れてしまうのを防止することが可能となる。したがって、その過電流に起因するラッチアップ等のような不具合を回避することができるので、2種以上の異なる電位の電源を駆動電源として有する半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0092】(2).本発明の半導体集積回路装置によれば、バイポーラトランジスタからなる過電圧保護素子のベース電極に、複数の集積回路素子に共通の基準電位の電源を供給することにより、容量を増大させることができるので、過電圧保護素子の保護性能を向上させることが可能となる。

【0093】(3).本発明の半導体集積回路装置によれば、バイポーラトランジスタからなる過電圧保護素子のベース電極に、複数の集積回路素子に共通の基準電位の電源を供給することにより、過電圧保護素子用に特別に基準電圧電源を設ける場合に比べて、半導体集積回路装置の設計および製造を容易にすることが可能となる。

【0094】(4).本発明の半導体集積回路装置によれば、過電圧保護素子を駆動能力の大きいバイポーラトランジスタで構成したことにより、過電流を素早く逃がすことができるので、保護性能を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の概略構成を説明するための説明図である。

【図2】図1の半導体集積回路装置の一実施の形態を説明するための半導体チップの平面図である。

【図3】図1の半導体集積回路装置の一実施の形態を説明するための半導体チップの平面図である。

【図4】図2および図3の半導体集積回路装置におけるメモリセルの回路図である。

【図5】図2および図3の半導体集積回路装置の要部断面図である。

【図6】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図7】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【符号の説明】

- 1 半導体チップ
- 2a〜2z 回路ブロック
- 3 過電圧保護素子
- 4 メモリ回路領域
- 4MC メモリセル
- 4Q1〜4Q6 MOS・FET
- 5a〜5e 周辺回路領域
- 6VDD 電源用配線
- 6VDDQ 電源用配線
- 7a, 7b 電源用のボンディングパッド
- 8a〜8j フィールド絶縁膜

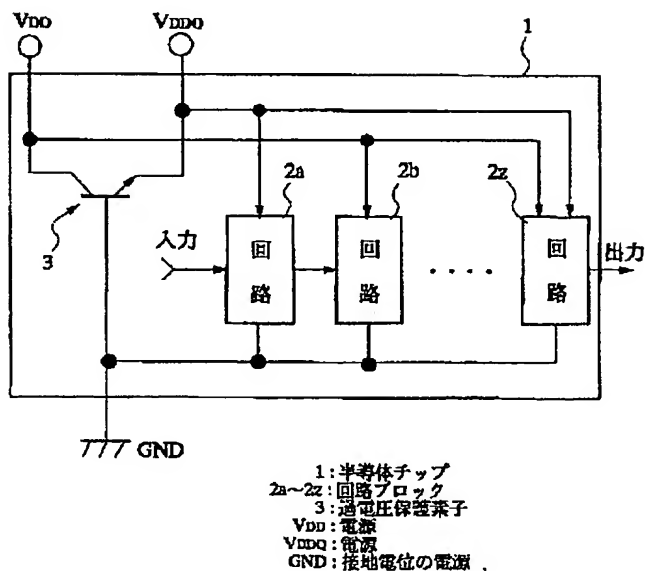


9n nチャネル形のMOS・FET  
 9nd 半導体領域  
 9ni ゲート絶縁膜  
 9ng ゲート電極  
 9p pチャネル形のMOS・FET  
 9pd 半導体領域  
 9pi ゲート絶縁膜  
 9pg ゲート電極  
 10n1, 10n2, 10n3 nウエル  
 10p1, 10p2, 10p3 pウエル  
 11n1, 11n2 引き出し領域  
 11p1 引き出し領域

11p2, 11p3 ベース引き出し領域  
 11n3 コレクタ引き出し領域  
 12p pチャネル形のMOS・FET  
 12pd 半導体領域  
 12pi ゲート絶縁膜  
 12pg ゲート電極  
 13n, 13n1, 13n2 nウエル  
 VDD 電源  
 VDDQ 電源  
 GND 電源 (基準電位の電源)  
 WL ワード線  
 BL1, BL2 ビット線

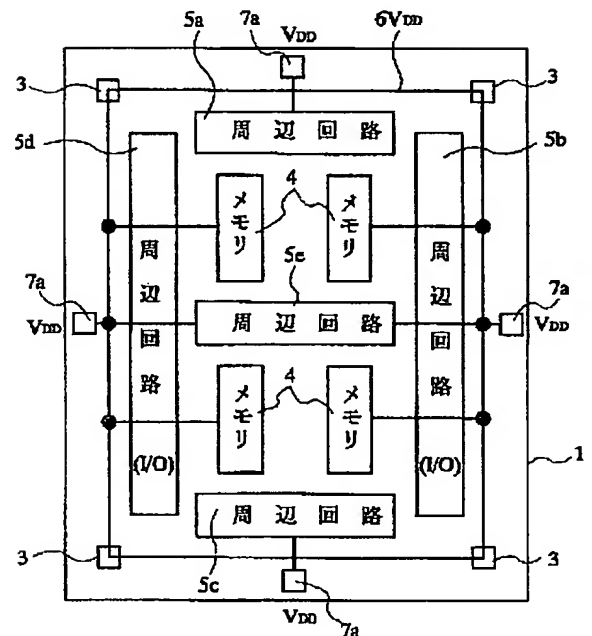
【図1】

図 1



【図2】

図 2



【図3】

【图4】

图 3

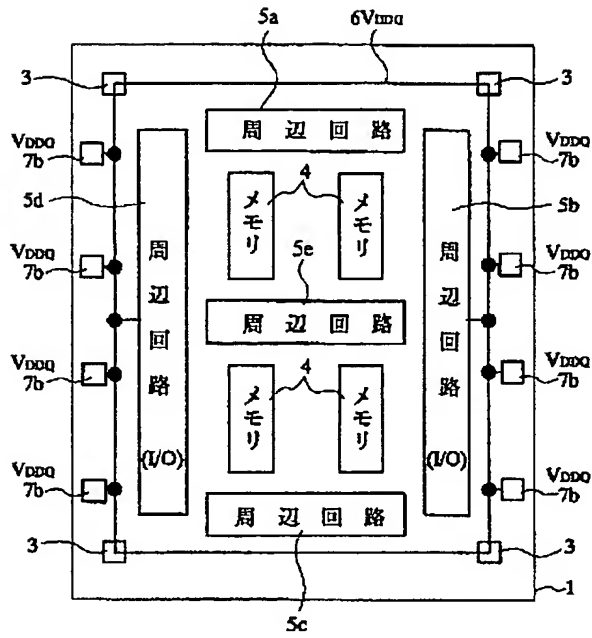
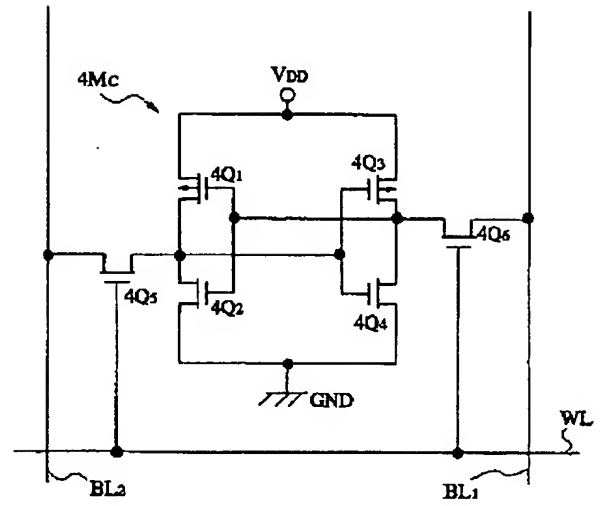
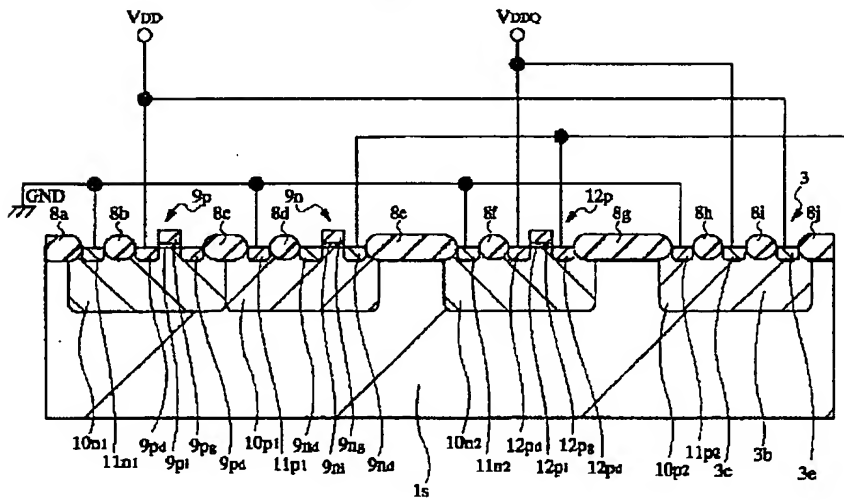


图 4



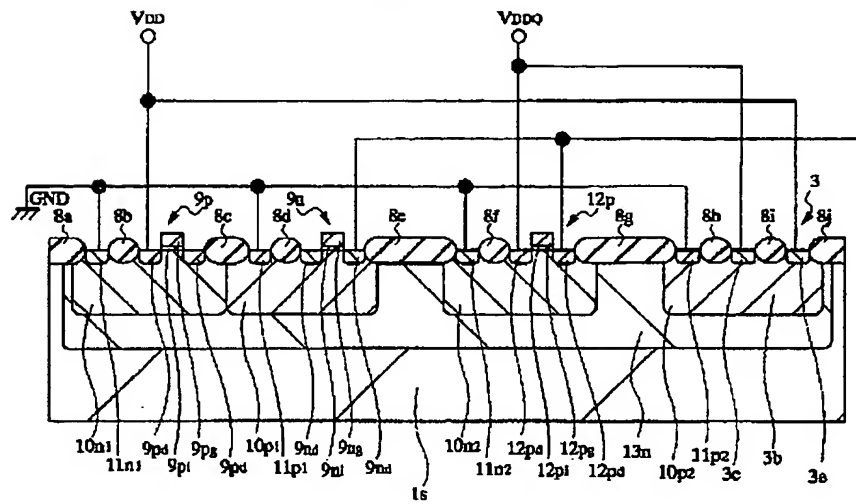
【図5】

图 5



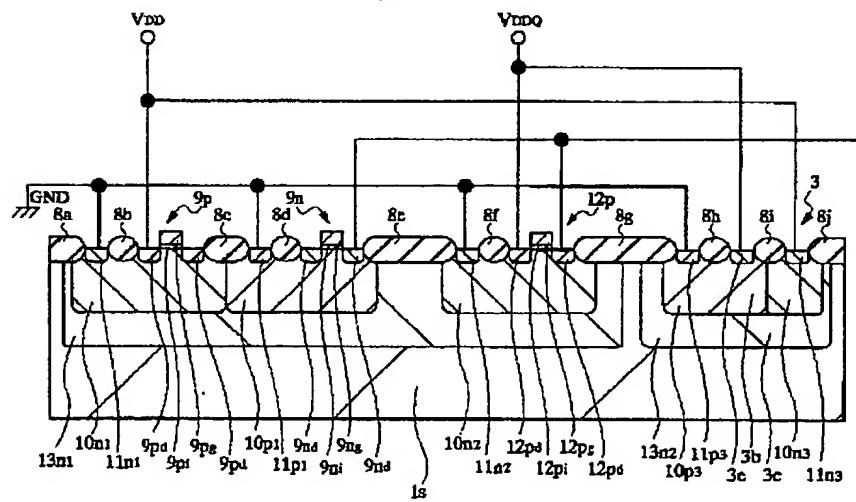
【図6】

図 6



【図7】

図 7



フロントページの続き

(51)Int. Cl.<sup>6</sup>

H01L 27/10

H02H 3/14

識別記号

481

F I

H01L 27/06

101P